

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0023

Applicant: Sun Gon JIN et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR FORMING BIT LINE OF SEMICONDUCTOR DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

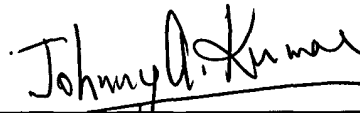
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0041144 filed July 15, 2002

Respectfully submitted,

Date: June 30, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

PATENT TRADEMARK OFFICE



26633

PATENT TRADEMARK OFFICE

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

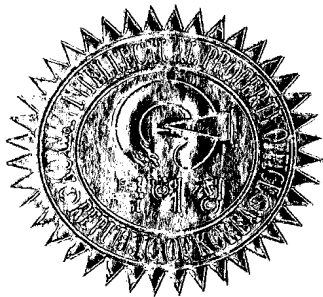
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0041144
Application Number PATENT-2002-0041144

출원년월일 : 2002년 07월 15일
Date of Application JUL 15, 2002

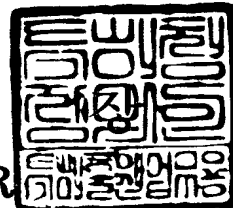
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 01 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.07.15
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 비트 라인 형성 방법
【발명의 영문명칭】	Method of Forming Bit-Line of Semiconductor Device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	진성곤
【성명의 영문표기】	JIN, Sung Gon
【주민등록번호】	680708-1912215
【우편번호】	467-040
【주소】	경기도 이천시 송정동 동양아파트 102-202
【국적】	KR
【발명자】	
【성명의 국문표기】	노재선
【성명의 영문표기】	ROH, Jai Sun
【주민등록번호】	700430-1173418
【우편번호】	467-701

【주소】 경기도 이천시 부발읍 아미리 148-1 하이닉스반도체 임대
아파트 108- 204

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
이후동 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	1 면	1,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	18 항	685,000 원
【합계】	715,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 반도체 소자의 비트 라인 (bit-line) 형성 방법에 관한 것으로, 보다 상세하게는 P+ 소오스/드레인 (source/drain; 이하 "S/D"라 칭함)영역에 콘택홀을 형성한 다음, N+ S/D 영역의 콘택홀을 형성함으로써, P+ S/D 콘택홀 영역의 저항 안정화를 위한 식각 후처리 (post etch treatment; 이하 "PET"라 칭함) 공정을 수행 시에 N+ S/D 영역의 저항이 증가되는 것을 방지하는 반도체 소자의 비트 라인 형성 방법에 관한 것이다.

이상의 본 발명의 공정 방법에 의하여 형성된 P+ S/D 영역 및 N+ S/D 영역의 콘택홀은 안전한 저항을 가질뿐만 아니라, 웨이퍼 전면에 대해 추가 이온 주입을 실시하므로 국부적인 산화막 데미지 (damage)에 의해 발생하는 단차를 방지하여, 브리지가 형성되는 것을 막을 수 있으며, 상기 영향으로 마스크 공정 및 급속 열처리 (Rapidly Thermal Annealing : RTA) 공정 단계를 감소시켜, 반도체 소자의 성능 및 수율을 향상시킬 수 있다.

【대표도】

도 5b

【명세서】

【발명의 명칭】

반도체 소자의 비트 라인 형성 방법{Method of Forming Bit-Line of Semiconductor Device}

【도면의 간단한 설명】

도 1은 종래 방법으로 형성된 P+ S/D 영역의 콘택홀에 대한 PET 공정 유무의 저항 값을 나타낸 그래프.

도 2는 종래 방법으로 형성된 N+ S/D 영역의 콘택홀에 대한 PET 공정 유무의 저항 값을 나타낸 그래프.

도 3a 내지 도 3g는 종래 방법에 의한 반도체 소자의 비트 라인 형성 공정도.

도 4는 종래 방법에 따른 이온 주입 공정 시 발생된 단차를 나타낸 도면.

도 5a 내지 도 5f는 본 발명에 의한 반도체 소자의 비트 라인 형성 공정도.

< 도면의 주요 부분에 대한 간단한 설명 >

- 1, 111 : 워드 라인 3, 113 : 하드 마스크
- 5, 115 : 스페이서 7, 117 : 플러그
- 9, 119 : 층간 절연막 11, 121 : P+ 소오스/드레인
- 13, 123 : N+ 소오스/드레인 15, 125 : 포토레지스트 층
- 17, 127 : P 형 불순물 이온 주입 19, 129 : 배리어 메탈 층
- 21, 131 : 텅스텐 23 : 단차
- 25 : 브리지 (bridge)

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체 소자의 비트 라인 (bit-line) 형성 방법에 관한 것으로, 보다 상세하게는 P+ 소오스/드레인 (source/drain; 이하 "S/D"라 칭함)영역에 콘택홀을 형성한 다음, N+ S/D 영역의 콘택홀을 형성함으로써, P+ S/D 콘택홀 영역의 저항 안정화를 위한 식각 후처리 (post etch treatment; 이하 "PET"라 칭함) 공정을 수행 시에 N+ S/D 영역의 저항이 증가되는 것을 방지하는 반도체 소자의 비트 라인 형성 방법에 관한 것이다.
- <15> 현재, 반도체 메모리 장치는 고집적화 및 대용량화가 이뤄지면서, 반도체 메모리 장치의 단위 셀 크기도 계속 감소하고 있는 추세이다. 특히, 집적도의 증가를 주도하는 반도체 메모리 장치인 디램 (Dynamic Random Access Memory; DRAM)의 경우 메모리 셀 크기의 축소에 따라 수직 구조가 극도로 복잡해지면서, 캐패시터의 유효면적을 증가시키기 위한 방법의 개발이 필요하게 되었다.
- <16> 종래에는 반도체 소자의 고집적화를 증가시키고, 정보처리능력을 높이기 위한 조건을 만족시키기 위하여, 다결정 실리콘 (doped poly-Si)과 텅스텐 실리사이드의 폴리 사이드를 이용하여 데이터 입출력의 경로로 사용되는 비트 라인의 콘택홀 (Contact Hole)을 형성하였다. 그러나, 상기와 같은 구조로 형성된 콘택홀은 사이즈가 감소되면서 저항이 증가하는 또 다른 문제를 발생시켰다.
- <17> 그래서, 최근에는 저항이 낮은 텅스텐으로 콘택홀을 형성하여 콘택홀의 저항 값을 낮추려고 하였다.

- <18> 하지만, 상기 텅스텐 콘택홀의 경우에도 후속 공정인 열 공정을 수행할 때, 콘택홀의 저항 변화가 크게 나타났다.
- <19> 특히, 상기 P+ S/D 영역의 콘택홀 저항 현상이 크게 증가하였기 때문에, 이를 해결하기 위하여, P+ S/D 영역에만 후속 PET 공정을 수행하였다. 그러나, 상기와 같은 PET 공정은 P+ S/D 영역과 N+ S/D 영역에 동시에 콘택홀을 형성한 후에 수행되기 때문에, P+ S/D 영역의 콘택홀 저항이 낮아지는 반면, N+ S/D 영역의 콘택홀 저항은 증가하는 또다른 문제점을 발생시켰다.
- <20> 이러한 현상은 N+ S/D 영역과 P+ S/D 영역의 콘택홀 저항이 서로 반대 관계이기 때문이다. 결국 P+ S/D 영역의 콘택홀 저항이 낮아지면, N+ S/D 영역의 콘택홀 저항은 증가하고, N+ S/D 영역의 콘택홀 저항이 낮아지면 P+ S/D 영역의 콘택홀 저항은 증가한다는 것이다.
- <21> 즉, 상기 결과를 상세히 설명하면, 도 1에 도시한 바와 같이 평균 1200 Ω 의 저항 값을 가지는 P+ S/D 영역의 콘택홀에 대해 정향을 낮추기 위하여 PET 공정을 수행하면, P+ S/D 영역의 콘택홀 저항 값은 평균 900 Ω 으로 안정화 되는 반면, 도 2에 도시한 바와 같이 평균 280~300 Ω 의 저항 값을 가지고 있던 N+ S/D 영역의 콘택홀 저항 값은 상기 PET 공정에 의해 450 Ω 으로 저항 값이 증가된다는 문제점을 가지게 된다.
- <22> 이상의 종래 비트 라인 콘택 형성 공정을 도면을 들어 상세히 설명한다.
- <23> 우선, 도 3a에 도시한 바와 같이 반도체 기판의 셀 (cell) 영역에 워드 라인 패턴과 플러그 (7)를 형성하고, 주변 영역에 P+ S/D 영역 (11)과 N+ S/D 영역 (13)을 형성하였다.

- <24> 그리고, 상기 구조물의 전면에 층간 절연막 층 (9)을 형성하였다. 이때, 상기 층간 절연막 층 (9)은 산화막을 이용하여 형성하였다.
- <25> 도 3b에 도시한 바와 같이 플러그 영역 (7), P+ S/D 영역 (11) 및 N+ S/D 영역 (13)을 동시에 식각하여 콘택홀을 형성하였다.
- <26> 그 후, 상기 P+ S/D 영역의 콘택홀에 대해 PET 공정을 실시하였다.
- <27> 도 3c에 도시한 바와 같이 상기 콘택홀이 형성된 결과물 전면에 포토레지스트 층 (15)을 형성하였다.
- <28> 도 3d에 도시한 바와 같이 상기 P+ S/D 영역의 포토레지스트 층 (15)에 대해 마스크 작업을 수행하고, 현상 (develope)하여 콘택홀을 형성하였다.
- <29> 그리고, P+ S/D 영역의 콘택홀 저항을 안정화 시키기 위하여 추가로 P+ 추가 불순물 이온 주입 (17)을 실시한 후, 상기 포토레지스트 (15)를 스트립 (strip) 하였다.
- <30> 도 3e에 도시한 바와 같이 포토레지스트 제거 후, 상기 추가 불순물 이온 주입으로 인한 P+ S/D 영역의 산화막 데미지 (damage)를 해결하기 위하여 급속 열처리 (Rapidly Thermal Annealing : 이하 "RTA"라 칭함) 방법으로 열처리 (annealing) 하였다.
- <31> 만약, 상기와 같은 RTA 공정을 실시하지 않고 후속 공정을 수행하면, 후속 배리어 메탈 세정 (barrier metal pre-clean) 공정시 데미지를 입은 부분에서 빠른 식각 현상이 일어나서 P+ 추가 불순물 이온 주입이 된 영역과 되지 않는 영역 간에 단차 (23)가 생기고, 이로 인한 브리지 (bridge) (25)가 발생되었다 (도 4 참조).
- <32> 도 3f에 도시한 바와 같이 상기 RTA 공정 후, 콘택홀 및 층간 절연막 전면에 대해 티타늄/티타늄 나이트라이드 (Ti/TiN)를 이용한 배리어 메탈 층 (19)을 형성하고, RTA

공정으로 증착된 Ti 층과 Si 기판의 반응에 의한 $TiSi_2$ 를 형성시켜 콘택홀의 저항을 안정화 시킨 후, 그 상부에 텅스텐 (W) (21)층을 형성하였다

<33> 도 3g에 도시한 바와 같이 상기 텅스텐 층을 식각하여 텅스텐 비트 라인을 형성하였다.

<34> 그러나, 상기와 같은 종래 반도체 소자의 비트 라인 형성 방법에서 P+ S/D 영역의 콘택홀과 N+ S/D 영역의 콘택홀을 동시에 형성하기 때문에, 후속 공정인 PET 공정을 수행하였을 때, N+ 영역의 콘택홀 저항이 증가하고, P+ 추가 불순물 이온 주입으로 발생하는 산화막의 데미지를 막기 위하여 RTA 공정을 도입해야 하는 등 공정 단계가 복잡하며, 콘택홀 저항이 증가되어 소자의 집적도와 고속의 정보 처리 능력이 감소되는 문제점이 발생하였다.

【발명이 이루고자 하는 기술적 과제】

<35> 이에 본 발명자들은 상기와 같이 문제점을 극복하여, N+와 P+ S/D 영역이 모두 안정한 저항 값을 가지는 반도체 소자의 비트 라인 형성 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<36> 상기 목적을 달성하기 위하여 본 발명에서는 P+ S/D 콘택홀 영역을 형성하고, PET 공정을 수행한 후, N+ 콘택홀 영역을 형성함으로써, 콘택홀 저항 값을 모두 안정화 시킬 수 있는 반도체 소자의 형성 방법을 제공한다.

<37> 이하 본 발명을 상세히 설명한다.

- <38> 반도체 기판 상부에 워드 라인 패턴, 플러그, P+ S/D 영역 및 N+ S/D 영역을 형성하는 단계;
- <39> 상기 구조의 전면에 대해 평탄화한 층간 절연막 층을 형성하는 단계;
- <40> 상기 P+ S/D 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;
- <41> 상기 층간 절연막 전면에 대해 P+ 추가 불순물 이온 주입을 실시하는 단계;
- <42> 상기 N+ S/D 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;
- <43> 상기 플러그 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;
- <44> 상기 콘택홀이 형성된 층간 절연막 상부에 평탄화한 배리어 메탈 층을 형성하는 단계;
- <45> 상기 배리어 메탈 층 상부에 텅스텐 층을 형성하는 단계; 및
- <46> 상기 층간 절연막 층이 노출 될 때까지 상기 텅스텐 층 및 배리어 메탈 층을 식각하여 텅스텐 비트 라인을 형성하는 단계를 포함하는 반도체 소자의 형성 방법을 제공한다.
- <47> 이때, 상기 층간 절연막은 산화막을 이용하여 형성한다.
- <48> 상기 P+ S/D 영역의 콘택홀은 CF_4 , CHF_3 , O_2 , Ar 및 CO 가스를 반응 챔버(chamber) 내부로 삽입하여 혼합한 후, 이를 이용하여 P+ 영역이 노출될 때 까지 식각한다.

- <49> 그리고, 상기 P+ S/D 영역의 콘택홀을 형성하는 식각 공정 후에 상기 기판을 층간 절연막 높이의 20~50%, 바람직하게는 30~50% 정도의 두께 만큼을 더 과도 식각 (over etch) 하는 공정을 수행하는 것이 바람직하다.
- <50> 그리고, 상기 노출된 P+ S/D 영역의 콘택홀 부분의 반도체 기판 즉, 실리콘 (Si) 기판에 대해 반응 챔버 내의 CF_4 , Ar 및 O_2 의 혼합 가스를 이용한 PET 공정을 한번 더 수행하는 것이 바람직하다. 이때, 식각되는 기판의 두께는 20~150 Å, 바람직하게는 50~100 Å이 적당하다.
- <51> 상기와 같이 P+ S/D 영역의 콘택홀에만 수행되는 PET 공정은 실리콘 기판의 데미지 부분을 제거할 수 있으며, 또한, 식각시에 사용하는 O_2 가스에 의해 상기 실리콘 기판이 산화되었다가 후속 공정인 배리어 메탈 세정 시에 제거됨으로써, 배리어 메탈 층과 실리콘 기판 층의 접합 능력을 높이므로, P+ S/D 영역의 콘택홀 저항 값을 낮출 수 있다.
- <52> 그 후, 상기 P+ S/D 영역의 콘택홀을 안정화 시키기 위하여 콘택홀이 형성된 층간 절연막 전면에 대하여 P+ 추가 불순물 이온을 주입하는데, 이때 종래 기술과 같은 국부적인 산화막 손실이 발생하지 않기 때문에, 후속 공정으로 RTA 공정을 실시하지 않는다.
- <53> 상기 P+ S/D 영역의 추가 불순물 이온 주입은 BF_2 기체를 이용하는 것이 바람직하고, 이온 주입 시 에너지 조건은 10~30 KeV, 바람직하게는 10~25 KeV이며, 이온 주입의 도즈 (dose)량은 $1.0 \times 10^{-15} \sim 5.0 \times 10^{-15}$, 바람직하게는 $2.0 \times 10^{-15} \sim 4.0 \times 10^{-15}$ 이다.
- <54> 그리고, 본 발명에서는 상기와 같은 조건으로 P+ S/D 영역의 콘택홀을 형성한 다음에 N+ S/D 영역의 콘택홀을 형성한다.

- <55> 상기 N+ S/D 영역의 콘택홀은 CF_4 , CHF_3 , O_2 , Ar 및 CO의 가스 등을 반응 챔버 안에 삽입하여 혼합한 후, 이를 이용하여 N+ S/D 영역이 노출 될 때 까지 식각한다.
- <56> 또한, 상기 식각 고정 후, 층간 절연막 높이의 20~50%, 바람직하게는 30~50% 두께 만큼을 더 과도 식각한다.
- <57> 또한, 상기 플러그에 대해 콘택홀을 형성하는 경우에는 상기 N+ S/D 영역의 콘택홀을 형성하기 위한 조건과 같은 조건으로 수행한다.
- <58> 이와 같이 본 발명은 P+ S/D 영역의 콘택홀을 형성하고, 이에 대해서만 PET 공정을 수행 하므로, N+ S/D 영역의 콘택홀에 영향을 미치지 않는다. 그래서, P+ S/D 영역의 콘택홀과 N+ 영역의 콘택홀 모두 안정한 저항 값을 가질 수 있다.
- <59> 이하 본 발명을 첨부한 도면을 들어 상세히 설명한다.
- <60> 우선, 도 5a에 도시한 바와 같이 반도체 기판의 셀 영역에 워드 라인 패턴과 플러그 (117)를 형성하고, 주변 영역에 P+ S/D 영역 (121) 과 N+ S/D 영역 (123)을 형성한다.
- <61> 그리고, 상기 구조의 전면에 층간 절연막 층 (119)을 형성한다. 이때, 상기 층간 절연막 층 (119)은 산화막을 이용하여 형성한다.
- <62> 도 5b에 도시한 바와 같이 상기 층간 절연막 상부에 포토레지스트를 도포하고, 상기 포토레지스트를 마스크로 상기 P+ S/D 영역 (121)이 노출될 때 까지 층간 절연막 층 (119)을 식각하여 콘택홀을 형성한다.
- <63> 그리고, 상기 포토레지스트를 스트립 한 후, P+ S/D 영역의 콘택홀에 대해서 CF_4 , O_2 및 Ar 가스를 이용한 PET 공정을 실시한다.

- <64> 그 후, P+ S/D 영역의 콘택홀 저항을 안정화 시키기 위하여 상기 층간 절연막 층 (119) 전면에 대해 P+ 추가 불순물 이온 주입 공정을 실시한다.
- <65> 도 5c에 도시한 바와 같이 N+ S/D 영역에 마스크 작업을 실시한 후, N+ S/D 영역 (123)이 노출될 때 까지 층간 절연막을 식각하여 N+ S/D 영역의 콘택홀을 형성한다. 상기 식각 공정은 P+ S/D 콘택홀을 형성하기 위한 식각공정과 동일한 조건으로 식각 하지만, 상기 PET 공정 및 추가 이온 주입 공정을 수행하지 않는 것이 바람직하다.
- <66> 도 5d에 도시한 바와 같이 셀 영역의 플러그 (117) 상부에 콘택홀을 형성한다. 이때의 식각 공정 역시 N+ S/D 영역의 콘택홀을 형성하기 위한 식각 공정과 동일한 조건으로 식각한다.
- <67> 도 5e에 도시한 바와 같이 상기 콘택홀이 형성된 층간 절연막 (119) 상부에 Ti/TiN 을 이용하여 배리어 메탈 층 (129)을 형성한 후, RTA 공정으로 형성된 Ti 층과 Si 기판의 반응에 의해 $TiSi_2$ 를 형성시켜 콘택홀의 저항을 안정화를 가져온다.
- <68> 그리고, 상기 배리어 메탈 층 (129) 상부에 텅스텐 층 (131)을 형성한다.
- <69> 도 5f에 도시한 바와 같이 층간 절연막이 노출될 때 까지 상기 텅스텐 층 및 배리어 메탈 층 (129)를 식각하여 안정한 비트 라인 배선을 형성한다.

【발명의 효과】

- <70> 이상에서 살펴본 바와 같이, 본 발명에 의하면 P+ 추가 불순물 이온 주입을 웨이퍼 전면에 실시하므로 국부적인 단차 및 브리지가 발생 되지 않아 후속 마스크 공정 및 RTA 공정 단계를 제거할 수 있을 뿐만 아니라, P+ S/D 영역의 콘택홀에 대해서만 PET

공정을 수행하므로, P+ S/D 영역의 콘택홀 및 N+ S/D 영역의 콘택홀 모두 안정한 콘택홀 저항을 가져 반도체 소자의 성능 및 수율을 향상 시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 워드 라인 패턴, 플러그, P+ S/D 영역 및 N+ S/D 영역을 형성하는 단계;

상기 구조의 상부에 평탄화한 층간 절연막 층을 형성하는 단계;

상기 P+ S/D 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;

상기 층간 절연막 층 전면에 P+ 추가 불순물 이온 주입을 실시하는 단계;

상기 N+ S/D 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;

상기 플러그 영역이 노출될 때 까지 상기 층간 절연막 층을 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 층간 절연막에 상부에 배리어 메탈 층을 형성하는 단계;

상기 배리어 메탈 층 상부에 텅스텐 층을 형성하는 단계; 및

상기 층간 절연막이 노출 될 때 까지 상기 텅스텐 층 및 배리어 메탈 층을 식각하여 텅스텐 비트 라인을 형성하는 단계를 포함하는 반도체 소자의 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 P+ S/D 영역의 콘택홀은 CF_4 , CHF_3 , O_2 , Ar 및 CO로 이루어진 군으로부터 선택된 하나 이상의 가스를 이용하는 식각 공정으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 P+ 영역의 콘택홀 형성 후, 반도체 기판에 대해 과도 식각 (over etch) 하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 과도 식각은 층간 절연막 높이의 20~50% 두께로 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 과도 식각은 층간 절연막 높이의 30~50% 두께로 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 6】

제 3 항에 있어서,

상기 과도 식각 후, 식각 후처리 (post etch treatment; PET) 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 7】

제 6 항에 있어서,

상기 PET 공정은 CF_4 , Ar 및 O_2 로 이루어진 군으로부터 선택된 하나 이상의 가스를 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 8】

제 6 항에 있어서,

상기 PET 공정은 실리콘 (Si)기판을 20~150Å 두께 만큼 더 식각하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 9】

제 8 항에 있어서,

상기 PET 공정은 실리콘 기판을 50~150Å 두께 만큼 더 식각하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 10】

제 1 항에 있어서,

상기 P+ 추가 불순물 이온 주입은 BF_2 기체를 이용하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 11】

제 1 항에 있어서,

상기 P+ 추가 불순물 이온 주입의 에너지 조건은 10~30 KeV인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 12】

제 11 항에 있어서,

상기 P+ 추가 불순물 이온 주입의 에너지 조건은 10~25 KeV인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 13】

제 1 항에 있어서,

상기 P+ 추가 불순물 이온 주입의 도즈 (dose)량은 $1.0 \times 10^{-15} \sim 5.0 \times 10^{-15}$ 인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 13 항에 있어서,

상기 P+ 추가 불순물 이온 주입의 도즈량은 $2.0 \times 10^{-15} \sim 4.0 \times 10^{-15}$ 인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 1 항에 있어서,

상기 N+ S/D 영역의 콘택홀은 CF₄, Ar 및 O₂로 이루어진 군으로부터 선택된 하나 이상의 가스를 이용하여 식각하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 1 항에 있어서,

상기 N+ 영역의 콘택홀 형성 후, 과도 식각 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 16 항에 있어서,

상기 과도 식각은 층간 절연막 높이의 20~50%로 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

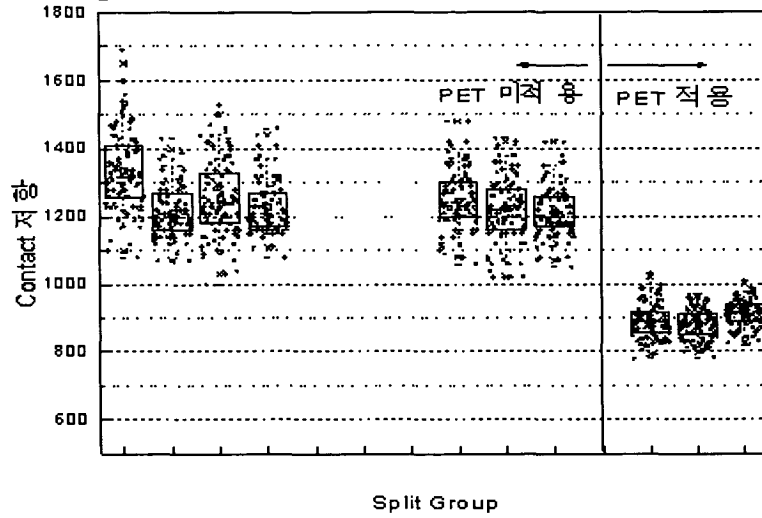
【청구항 18】

제 17 항에 있어서,

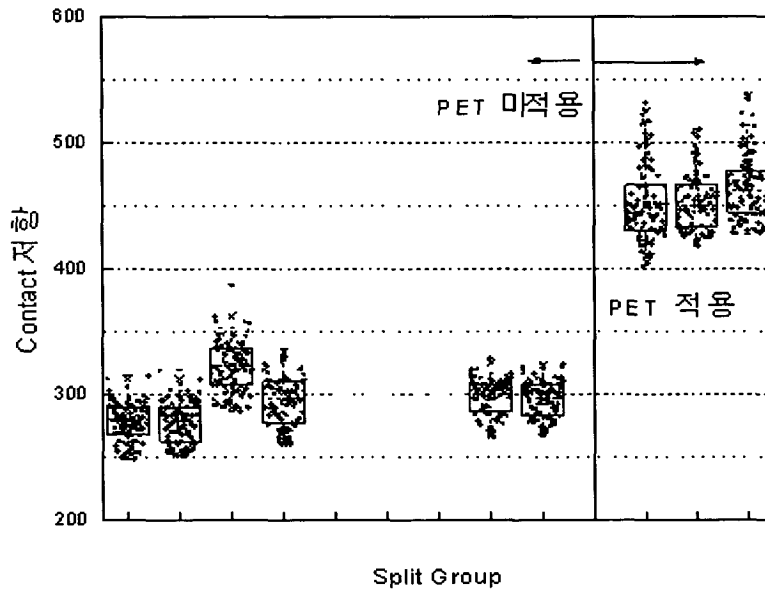
상기 과도 식각은 층간 절연막 높이의 30~50%로 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

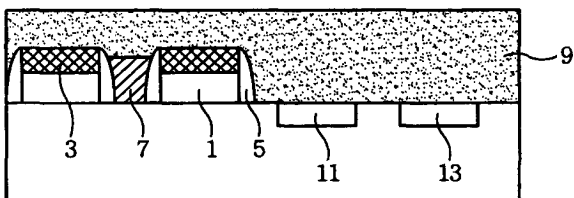
【도 1】



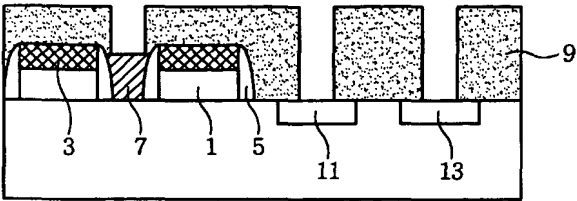
【도 2】



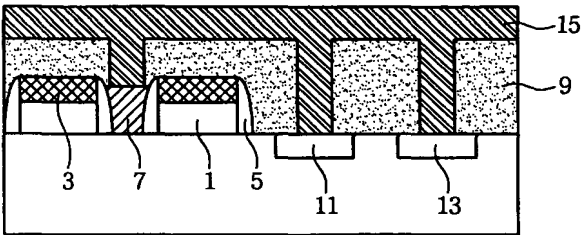
【도 3a】



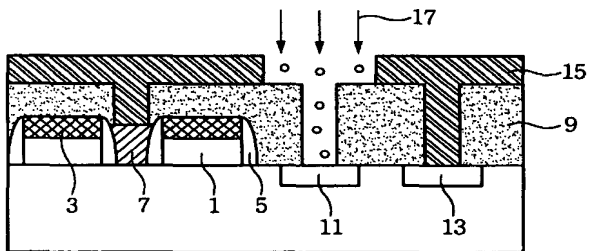
【도 3b】



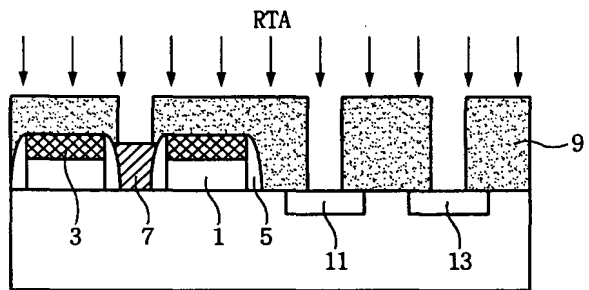
【도 3c】



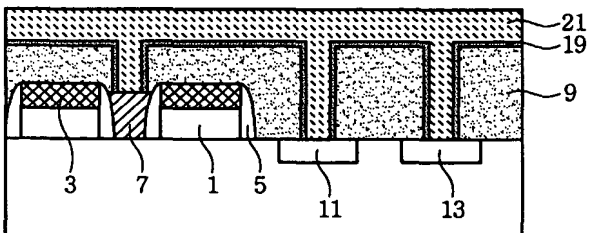
【도 3d】



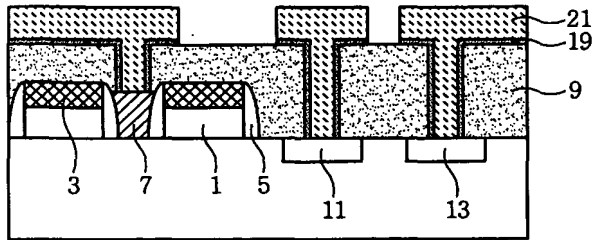
【도 3e】



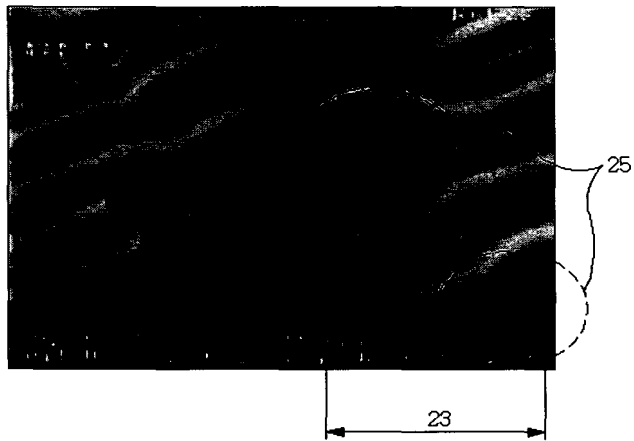
【도 3f】



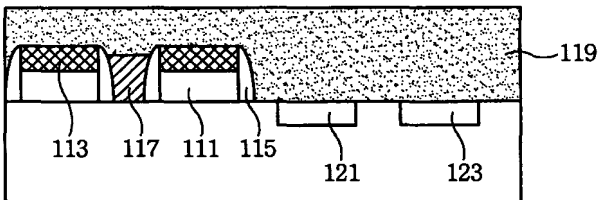
【도 3g】



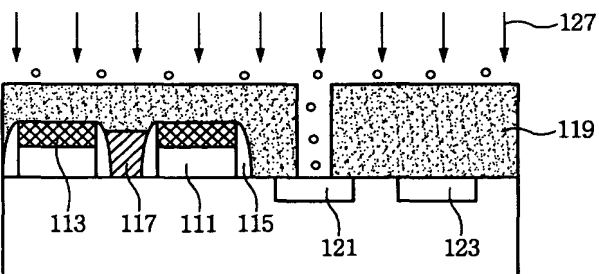
【도 4】



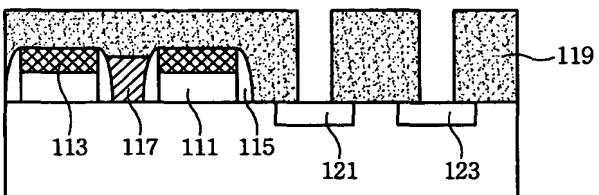
【도 5a】



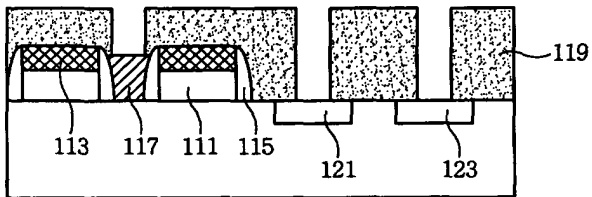
【도 5b】



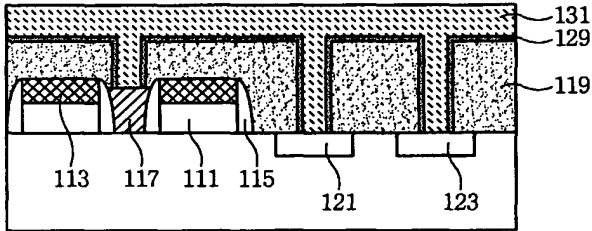
【도 5c】



【도 5d】



【도 5e】



【도 5f】

